

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/456

In re patent application of

Jung-hyun LEE, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: STACK-TYPE CAPACITOR, SEMICONDUCTOR MEMORY DEVICE HAVING THE SAME, AND METHODS OF MANUFACTURING THE CAPACITOR AND THE SEMICONDUCTOR MEMORY DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

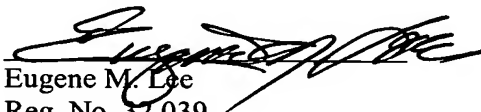
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2003-32255, filed May 21, 2003.

Respectfully submitted,

April 23, 2004
Date


Eugene M. Lee
Reg. No. 52,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0032255
Application Number

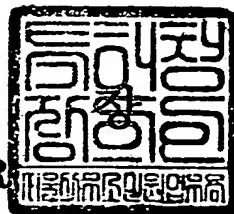
출원년월일 : 2003년 05월 21일
Date of Application MAY 21, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 10 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.05.21
【국제특허분류】	H01L
【발명의 명칭】	스택형 커패시터, 그를 구비한 반도체 메모리 소자 및 그 제조방법
【발명의 영문명칭】	Stack type capacitor, memory device having the same and manufacturing method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	이정현
【성명의 영문표기】	LEE, Jung Hyun
【주민등록번호】	711128-1056211
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 동아아파트 715-802
【국적】	KR
【발명자】	
【성명의 국문표기】	백현석
【성명의 영문표기】	BAIK, Hion Suck
【주민등록번호】	670405-1460314

【우편번호】	447-050
【주소】	경기도 오산시 부산동 운암주공1단지아파트 105동 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	김순호
【성명의 영문표기】	KIM, Soon Ho
【주민등록번호】	701006-1019712
【우편번호】	138-795
【주소】	서울특별시 송파구 잠실4동 진주아파트 6동 901호
【국적】	KR
【발명자】	
【성명의 국문표기】	최재영
【성명의 영문표기】	CHOI, Jae-Young
【주민등록번호】	701011-1812915
【우편번호】	442-739
【주소】	경기도 수원시 팔달구 영통동 황골마을주공1단지아파트 155동 802호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 필 (인) 대리인 이영 이해영 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	38,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 스택형 커패시터, 그를 구비한 반도체 메모리 소자 및 그 제조방법에 관하여 개시한다. 개시된 스택형 커패시터는 하부전극과, 상기 하부전극 상에 형성된 유전막 및 상기 유전막 상에 형성된 상부전극;을 구비하며, 상기 하부전극은, 실린더형 제1 금속; 및 상기 제1 금속의 내부를 채운 제2 금속;을 포함하는 것을 특징으로 한다. 이에 따르면, 하부전극에 산소량이 줄어들어서 TiN의 산화를 억제하므로, 안정된 스택형 커패시터의 구현이 가능하며, 따라서 고집적 DRAM의 개발에 기여할 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

스택형 커패시터, 그를 구비한 반도체 메모리 소자 및 그 제조방법{Stack type capacitor, memory device having the same and manufacturing method thereof}

【도면의 간단한 설명】

도 1은 종래의 실린더형 커패시터 구조의 개략적인 단면도이다.

도 2는 루테튬 전극으로 이루어진 스택형 커패시터를 포함하는 DRAM 셀의 구조를 보여주는 단면도이다.

도 3a 내지 도 3e는 도 2의 스택형 커패시터를 구비한 반도체 메모리 소자를 제조하는 공정을 설명하는 단면도이다.

도 4는 TiN 막이 산화된 하부전극을 보여주는 현미경 사진이다.

도 5는 커패시터가 기울어져서 옆의 커패시터와 접촉된 것을 보여주는 스토리지의 노드의 현미경 사진이다.

도 6은 본 발명의 바람직한 실시예에 따른 스택형 커패시터를 포함하는 DRAM 셀의 구조를 보여주는 단면도이다.

도 7은 Al의 유무에 따라서 산화분위기에서의 TiN의 활성화도(activity)를 보여주는 그래프이다.

도 8a 내지 도 8f는 도 6의 스택형 커패시터를 구비한 반도체 메모리 소자를 제조하는 공정을 설명하는 단면도이다.

도면의 주요 부분에 대한 부호설명

120: 기판	121: 소스 영역
122: 드레인 영역	130: 트랜지스터
131: 게이트 절연막	132: 게이트 전극
133: 제1 층간절연물	133a: 콘택홀
134: 도전성 플러그	135: TiN 막
140: 커패시터	141: 하부전극
143: 유전체 층	144: 상부전극
145: 절연막	146: 제2 층간절연막
146a: 비아홀	

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 하부전극이 두 개의 다른 금속층으로 형성된 스택형 커패시터, 스택형 커패시터를 구비한 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

<20> 메모리 셀의 면적 감소에 따른 셀 커패시턴스의 감소는 디램(DRAM, Dynamic Random Access Memory)의 집적도 증가에 심각한 장애 요인이 된다. 이러한 셀 커패시턴스의 면적 감소는 메모리 셀의 독출 능력을 저하시키고 소프트 에러율을 증가시킬 뿐 만 아니라 저전압에서의 소자 동작을 어렵게 만든다. 따라서, 반도체 메모리 장치의 고집적화를 위해서 상기 셀 커패시턴스의 감소는 반드시 해결되어야 하는 문제이다.

- <21> 한편, 커패시터의 전극 면적을 증가시키기 위하여 실린더형 전극 구조가 이용되어서 셀 커패시턴스의 증가를 도모하고 있다.
- <22> 도 1은 종래의 실린더형 커패시터 구조의 개략적인 단면도이다.
- <23> 도 1을 참조하면, 반도체 기판(10) 상에 층간절연막(inter-layer dielectric)(11) 및 식각정지층(12)이 패터닝되어서 콘택홀(11a)이 형성되어 있으며, 이 콘택홀(11a)에는 도전성 플러그(13)가 채워져 있다. 이 도전성 플러그(13) 상부에는 하부전극(14)이 실린더형으로 형성되어 있으며, 이 하부전극(14) 상에 유전층(15) 및 상부전극(16)이 증착되어 있다.
- <24> 상기 실린더형 커패시터의 구조는 전극 면적을 증가시켜 커패시턴스를 증가시킨다. 또한, 미국특허 제6,472,269호에는 실린더의 외측에 반구형 그레인(hemispherical grain: HSG)을 형성시켜서 전극 면적을 증가시킨 실린더형 커패시터가 개시되어 있다.
- <25> 그러나, 상술한 실린더형 커패시터들을 고집적 메모리에 적용하여 사용시 실린더 내부의 공간이 좁아져서 접촉되는 문제가 발생된다. 이러한 문제를 해결하기 위해서 좁은 면적을 사용하는 기둥모양의 스택형 커패시터가 요구된다. 이러한 스택형 커패시터는 단면적이 실린더형 보다 줄어들므로 메모리의 고집적화에 기여한다.
- <26> 도 2는 루테튬 전극으로 이루어진 스택형 커패시터를 포함하는 DRAM 셀의 구조를 보여주는 단면도이다.
- <27> 도 2를 참조하면, 이 메모리는 스택형 커패시터(40)와, 스위칭용 트랜지스터(30)로 구성되어 있다. 트랜지스터(30)는, 예를 들면 p형 실리콘으로 이루어지는 기판(20) 표면에 간격을 두고 형성된 n+층으로 이루어진 소스 영역(21) 및 드레인 영역(22)을 구비한

다. 소스 영역(21) 및 드레인 영역(22) 사이의 기판(20) 상에는 게이트 절연막(31) 및 게이트 전극(32)이 형성되어 있다.

<28> 트랜지스터(30) 위에는 층간절연막(inter-layer dielectric)(33)을 통해 스택형 커패시터(40)가 형성되어 있다. 즉, 층간절연막(33)을 통해 하부전극(41), 유전체막(43) 및 상부전극(44)이 차례로 적층되어 있다. 이 하부전극(41) 및 상부전극(44)은 루테늄(Ruthenium)으로 이루어져 있으며, 하부전극(41)에는 유전체, 예컨대 탄탈륨 옥사이드(Ta_2O_5)가 채워져 있다. 트랜지스터(30)의 소스 영역(21)과 커패시터(40)의 하부전극(41)은 층간절연막(33)에 형성된 콘택홀(33a)을 통해 전기적으로 접속되어 있다. 콘택홀(33a)에는 다결정 실리콘 또는 텅스텐 등으로 이루어지는 도전성 플러그(34)가 채워져 있다. 그리고, 도전성 플러그(34) 및 하부전극(41) 사이에는 상기 하부전극(41) 및 도전성 플러그(34) 사이의 서로 다른 물질간의 상호확산이나 화학반응을 억제하는 역할을 하는 확산방지층으로서 도전성 장벽층(conductive barrier layer), 예컨대 티타늄나이트라이드(TiN) 층(35)이 형성되어 있다. 이러한 확산방지층으로서 TaN, WN 도 사용되지만 TiN 이 대표적으로 사용된다. 이 TiN 층(35)은 상기 하부전극(41)을 도전성 플러그(34)로부터 격리하여 도전성 플러그(34)로부터의 하부전극(41)으로의 내부확산을 방지하고, 증착과정에서 도전성 플러그(35)가 산소에 노출되는 것을 방지한다. 참조번호 45는 식각정지층으로 후술된다.

<29> 상기 구조의 스택형 커패시터는 종래의 실린더형 커패시터 보다 좁은 면적을 사용하기 때문에 고집적 메모리에 적용이 유리하다.

<30> 도 3a 내지 도 3e는 도 2의 스택형 커패시터를 구비한 반도체 메모리 소자를 제조하는 공정을 설명하는 단면도이다.

- <31> 먼저, 반도체 공정에서 잘 알려진 방법으로 반도체 기판에 트랜지스터(30)를 형성한다. 이어서, 반도체 기판(20) 상에 제1 층간절연막(33)을 형성한다. 이어서, 이 제1 층간절연막(33)을 선택적으로 에칭하여 콘택트 홀(33a)을 형성하여 트랜지스터(30)의 소스 영역(21)을 노출시킨다. 이어서 이 콘택트 홀(33a)에 도전성 플러그(34)를 채워서 도전성 플러그(34)를 소스 영역(21)에 접속시킨다(도 3a 참조).
- <32> 이어서, 제1 층간절연막(33) 상에 상기 도전성 플러그(34)를 덮는 절연막(36)을 형성한다. 상기 절연막(36)을 선택적으로 에칭하여 상기 도전성 플러그(34)를 노출시킨다. 이어서 상기 절연막(36) 상에 TiN 막(35)을 CVD 로 증착한 후, CMP로 평탄화하여 상기 절연막(36) 및 TiN 막(35)이 노출되게 한다(도 3b 참조).
- <33> 이어서, 상기 절연막(36) 및 TiN 막(35) 상부에 식각 저지층 SiN(45) 및 제2 층간절연막 SiO₂(46)를 차례로 적층한 후, 건식에칭하여 상기 TiN 막(45)을 노출시켜서 비아홀(46a)을 형성한다. 이 비아홀(46a)로 노출되는 영역이 커패시터의 전극이 형성될 영역이 된다. 다음, 상기 제2 층간절연막(46) 전면에 상기 비아홀(46a)을 통해 노출되는 TiN 막(35)의 전면을 덮는 도전성막(41), 예컨대 Ru 막을 화학기상 증착법(chemical vaporized deposition: CVD)으로 형성하고, 그 위에 Ta₂O₅ 막(42)을 형성한다(도 3c 참조).
- <34> 이어서, 제2 층간절연막(46)이 노출되도록 화학적 기계적 연마(chemical mechanical polishing: CMP) 공정으로 평탄화한다. 그리고, 제2 층간절연막(46)을 Hf로 습식 에칭하여 스택형 하부전극(41)을 형성한다(도 3d 참조).
- <35> 이어서, 하부전극(41) 상에 유전체 층(43) 및 상부전극(44)인 루테튬 전극층을 순차적으로 형성하여 스택형 커패시터(40)를 형성한다(도 3e 참조).

<36> 그러나, 상기 제조방법으로 스택형 커패시터를 제조시, 루테튬을 CVD를 증착하여 하부전극(41)을 형성하는 공정은 산소를 반응개스로 사용하기 때문에 하부전극(41)에 접촉된 TiN 막(35)이 산화되어서 부피팽창을 일으킨다. 이러한 TiN 막(35)의 부피팽창은 도 4에서 보듯이 TiN 막 및 루테튬 하부전극 사이에 빈 공간을 형성한다. 이에 따라서 루테튬 하부전극을 사용한 스택형 커패시터는 지탱을 하지 못하고 옆으로 쓰러진다. 이러한 현상은 도 5의 스토리지의 노드의 사진에서 보듯이 커패시터가 기울어져서 옆의 커패시터와 접촉된 것을 볼 수 있다. 따라서, 커패시터의 전기적 특성이 열화되어서 누설 전류가 상승하는 문제가 발생된다.

【발명이 이루고자 하는 기술적 과제】

<37> 본 발명이 이루고자 하는 기술적 과제는 서로 다른 금속으로 구성되고 물성이 양호한 하부전극을 포함하는 스택형 커패시터 및 이를 구비한 반도체 메모리 소자를 제공하는 것이다.

<38> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 스택형 커패시터 및 반도체 메모리 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<39> 상기의 목적을 달성하기 위하여 본 발명의 스택형 커패시터는, 하부전극;

<40> 상기 하부전극 상에 형성된 유전막; 및

<41> 상기 유전막 상에 형성된 상부전극;을 구비하며,

<42> 상기 하부전극은, 실린더형 제1 금속; 및

<43> 상기 제1 금속의 내부를 채운 제2 금속;을 포함한다.

- <44> 상기 제1 금속은 루테튬(Ru)이며,
- <45> 상기 제2 금속은 티타늄알루미늄나이트라이드(TiAlN) 또는 탄탈륨알루미늄나이트라이드(TaAlN)인 것이 바람직하다.
- <46> 상기 상부전극은, 루테튬인 것이 바람직하다.
- <47> 상기의 목적을 달성하기 위하여 본 발명의 스택형 커패시터를 구비한 반도체 메모리 소자는, 트랜지스터 및 커패시터를 포함하며,
- <48> 상기 커패시터는, 하부전극과, 상기 하부전극 상에 형성된 유전막 및 상기 유전막 상에 형성된 상부전극을 구비하며,
- <49> 상기 하부전극은, 실린더형 제1 금속; 및
- <50> 상기 제1 금속의 내부를 채운 제2 금속;을 포함한다.
- <51> 상기 트랜지스터 및 상기 커패시터는 도전성 플러그로 전기적 연결되며, 상기 하부전극 및 상기 도전성 플러그 사이에 확산방지층인 티타늄나이트라이드(TiN)가 형성된 것이 바람직하다.
- <52> 상기의 다른 목적을 달성하기 위하여 본 발명의 스택형 커패시터의 제조방법은, 기판 상에 식각 정지층 및 층간절연막을 차례로 적층하고, 상기 층간절연막 및 식각정지층을 패터닝하여 비아홀을 형성하는 제1 단계;
- <53> 상기 비아홀 및 상기 층간절연막 상에 제1 금속막 및 제2 금속막을 순차적으로 형성하는 제2 단계;
- <54> 상기 층간절연막을 노출시키는 제3 단계;

- <55> 상기 층간절연막을 제거하여 제1 금속막 및 제2 금속막으로 이루어진 하부전극을 형성하는 제4 단계; 및
- <56> 상기 하부전극 상에 유전체층 및 상부전극을 순차적으로 증착하는 제5 단계;를 포함하며,
- <57> 상기 제1 금속막은 원자층 증착법으로 형성되는 것을 특징으로 한다.
- <58> 한편, 제2 단계는, 루테튬 전구체를 상기 제1 단계의 결과물에 흡착시키는 단계;
- <59> 잉여의 루테튬 전구체를 퍼지시키는 단계;
- <60> 상기 흡착된 루테튬 전구체 층에 산소 개스를 흡착시켜 상기 루테튬 전구체를 분해시켜서 루테튬 산화물을 형성시키는 단계;
- <61> 잉여의 산소 개스를 퍼지시키는 단계; 및
- <62> 수소 개스를 유입시켜 상기 루테튬 산화물을 환원시키는 단계;를 구비하는 것이 바람직하다.
- <63> 상기 루테튬 전구체 흡착단계 이전에, 상기 제1 단계의 결과물에 할로젠 계열 물질인 요오드를 흡착시키는 단계를 포함하는 것이 바람직하다.
- <64> 상기의 다른 목적을 달성하기 위하여 본 발명의 스택형 커패시터를 구비한 반도체 메모리 소자의 제조방법은, 기판 상에 트랜지스터를 형성하는 제1 단계;
- <65> 상기 기판 상에 제1 층간절연막을 형성하는 제2 단계;
- <66> 상기 제1 층간절연막에 상기 트랜지스터의 소정 영역이 노출되는 콘택홀을 형성하는 제3 단계;
- <67> 상기 콘택홀에 도전성 플러그를 형성하는 제4 단계;

- <68> 상기 제1 층간 절연막 상에 절연막을 형성하고 상기 도전성 플러그가 노출되게 패터닝한 후, 상기 노출된 영역에 확산방지층을 형성하는 제5 단계;
- <69> 상기 제1 층간절연막 상에 식각 정지층 및 제2 층간절연막을 차례로 적층하고, 상기 확산정지층이 노출되게 상기 제2 층간절연막 및 식각정지층을 패터닝하는 제6 단계;
- <70> 상기 확산정지층이 노출된 결과물 상에 제1 금속막 및 제2 금속막을 순차적으로 형성하는 제7 단계;
- <71> 상기 제2 층간절연막을 노출시키는 제8 단계;
- <72> 상기 제2 층간절연막을 제거하여 상기 제1 금속막 및 제2 금속막으로 이루어진 하부전극을 형성하는 제8 단계; 및
- <73> 상기 하부전극 상에 유전체층 및 상부전극을 순차적으로 증착하는 제10 단계;를 포함하며,
- <74> 상기 제1 금속막은 원자층 증착법으로 형성되는 것을 특징으로 한다.
- <75> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예에 따른 스택형 커패시터 및 그 제조방법을 상세히 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- <76> 도 6은 본 발명의 바람직한 실시예에 따른 스택형 커패시터를 포함하는 DRAM 셀의 구조를 보여주는 단면도를 나타낸 것이다.
- <77> 도 6을 참조하면, 이 메모리는 스택형 커패시터(140)와, 스위칭용 트랜지스터(130)로 구성되어 있다. 트랜지스터(130)는, 예를 들면 p형 실리콘으로 이루어지는 기판(120) 표면에 소정의 간격을 두고 형성된 n+층으로 이루어진 소스 영역(121) 및 드레인 영역

(122)을 구비한다. 소스 영역(121) 및 드레인 영역(122) 사이의 기판(120) 상에는 게이트 절연막(131) 및 워드라인으로서의 게이트 전극(132)이 형성되어 있다.

<78> 트랜지스터(130) 위에는 제1 층간절연막(inter-layer dielectric)(133)을 통해 스택형 커패시터(140)가 형성되어 있다. 즉, 제1 층간절연막(133)을 통해 하부전극(141), 유전체막(143) 및 상부전극(144)이 차례로 적층되어 있다. 하부전극(141)은 실린더형의 루테튬 금속(141a)과, 루테튬 금속 내부를 채운 TiAlN 금속(141b) 또는 탄탈륨알루미늄 나이트라이드(TaAlN)으로 이루어져 있다. 그리고, 상부전극(144)은 루테튬으로 이루어져 있다. 트랜지스터(130)의 소스 영역(121)과 커패시터(140)의 하부전극(141)은 제1 층간절연막(133)에 형성된 콘택홀(133a)을 통해 전기적으로 접속되어 있다. 콘택트 홀(133a)에는 다결정 실리콘 또는 텅스텐 등으로 이루어지는 도전성 플러그(134)가 채워져 있다. 그리고, 도전성 플러그(134) 및 하부전극(141) 사이에는 서로 다른 물질간의 상호확산이나 화학반응을 억제하는 역할을 하는 확산방지층으로서 도전성 장벽층(conductive barrier layer), 예컨대 티타늄나이트라이드(TiN) 층(135)이 형성되어 있다. 이러한 확산방지층으로서 TaN, WN 도 사용되지만 TiN 이 대표적으로 사용된다. 이 TiN 층(135)은 상기 하부전극(141)을 도전성 플러그로(134)부터 격리하여 도전성 플러그(134)로부터의 하부전극(141)으로의 내부확산을 방지하고, 증착과정에서 도전성 플러그(135)가 산소에 노출되는 것을 방지한다. 참조번호 145는 식각정지층이다.

<79> 본 발명에서는 TiN의 산화에 의한 커패시터 구조의 불안정을 해소하기 위해서 하부전극(141)에 TiAlN 금속을 사용하였다. 즉, TiN 에 Al를 첨가한 금속은 도 7에서 보듯이 산화분위기에서 Al을 첨가하지 않은 금속보다 TiN의 활성화도(activity)가 크게 나타난다. 이와 같이 Al을 사용함에 따라 TiN의 산화가 지연되는 것은 Al이 먼저 산화되어서 산

소의 분압을 낮추기 때문이다. 즉, Al 은 TiN과 반응하는 산소량을 줄이므로 TiN의 산화를 억제한다.

<80> 또한, 하부전극의 루테튬을 증착시 원자층 증착법(atomic layer deposition: ALD)을 사용한다. 원자층 증착법은 단원자층의 화학적 흡착 및 탈착을 이용한 박막증착기술로서, 각 반응물질들을 개별적으로 분리하여 펄스 형태로 챔버에 공급하여 기판표면에 반응물질의 표면포화반응(saturated surface reaction)에 의한 화학적 흡착과 탈착을 이용하여 증착하는 기술이다. 한편, 루테튬을 증착하려는 기판에 요오드와 같은 할로겐 계열 물질을 미리 흡착시킨 후, 루테튬 전구체를 흡착시키면 이 요오드가 루테튬 전구체의 분해를 유도한다. 이어서, 루테튬 전구체 층 상에 산소개스를 기판에 흡착시키면 루테튬 전구체의 리간드가 산소와 반응하여 분해된다, 분해된 루테튬은 산화되어 루테튬 산화물이 된다. 이어서 수소를 흡착시키면 수소는 루테튬 산화물을 환원시킴으로써 루테튬 금속에 포함되는 산소를 제거하게 된다. 따라서, 하부전극으로 사용되는 루테튬 및 TiN 사이의 산화를 억제할 수 있게 된다.

<81> 도 8a 내지 도 8f는 도 6의 스택형 커패시터를 구비한 반도체 메모리 소자를 제조하는 공정을 설명하는 단면도이다.

<82> 먼저, 반도체 공정에서 잘 알려진 방법으로 반도체 기판에 트랜지스터(130)를 형성한다. 이어서, 반도체 기판(120) 상에 제1 층간절연막(133)을 형성한다. 이어서, 이 제1 층간절연막(133)을 선택적으로 에칭하여 콘택트 홀(133a)을 형성하여 트랜지스터(130)의 소스 영역(121)을 노출시킨다. 이어서 이 콘택트 홀(133a)에 도전성 플러그(134)를 채워서 도전성 플러그(134)를 소스 영역(121)에 접속시킨다(도 8a 참조).

- <83> 이어서, 제1 층간절연막(133) 상에 상기 도전성 플러그(134)를 덮는 절연막(136)을 형성한다. 상기 절연막(136)을 선택적으로 에칭하여 상기 도전성 플러그(134)를 노출시킨다. 이어서 상기 절연막(136) 상에 TiN 막(135)을 CVD 로 증착한 후, CMP로 평탄화하여 상기 절연막(136) 및 TiN 막(135)이 노출되게 한다(도 8b 참조).
- <84> 이어서, 상기 절연막(136) 및 TiN 막(135) 상부에 식각 저지층 SiN(145) 및 제2 층간절연막 SiO₂(146)를 차례로 적층한 후, 건식에칭하여 상기 TiN 막(145)을 노출시켜서 비아홀(146a)을 형성한다(도 8c 참조). 이 비아홀(146a)로 노출되는 영역이 커패시터의 전극이 형성될 영역이 된다.
- <85> 이어서, ALD 방법으로 상기 비아홀(146a)에 하부전극(141)의 루테튬 막(141a)을 형성하는 과정을 설명한다. 먼저, 상기 절연막(146) 및 비아홀(146a)에 할로젠 계열 물질, 예컨대 요오드를 흡착시킨다. 이러한 할로젠 계열 물질은 다음의 ALD 공정에서 사용되는 루테튬 전구체와 반응하여 전구체의 분해를 유도한다. 이어서, 요오드가 흡착된 절연막(146) 전면에서 TiN(135)의 노출된 전면을 덮도록 Ru 전구체를 흡착시킨다. 이 때 절연막(146)에 흡착된 요오드는 루테튬 전구체와 반응하여 루테튬을 리간드로부터 분해한다. 이어서 잉여의 루테튬 전구체를 퍼지시킨다. 다음에 루테튬 전구체 층에 산소개스를 흡착시킨다. 산소개스는 루테튬 전구체의 리간드와 반응하여 루테튬 전구체를 분해시키며, 분해된 루테튬은 산소와 반응하여 루테튬 산화물이 된다. 이어서 산소개스를 퍼지한 후에 수소 개스를 흡착시키면 산소 및 수소는 서로 반응하여 수증기로 되며, 따라서 루테튬에 포함된 산소의 양이 급격히 줄어든다. 상기 과정을 반복하면 소정 두께의 루테튬 막(141a)을 비아홀(146a) 및 제2 층간 절연막(146) 상에 증착시킬 수 있다.

- <86> 이어서, 루테튬 층(141a) 위에 CVD 방법 또는 ALD 방법으로 TiAlN 층(141b) 또는 탄탈륨알루미늄나이트라이드(TaAlN)을 증착한다(도 8d 참조).
- <87> 이어서, 절연막(146)이 노출되도록 CMP 방법으로 평탄화한다. 그리고, 제2 층간절연막(146)을 Hf로 습식 에칭하여 스택형 하부전극(141)을 형성한다(도 8e 참조).
- <88> 이어서, 하부전극(141) 상에 유전체 층(143) 및 루테튬 전극층(144)을 순차적으로 형성하여 스택형 커패시터(140)를 형성한다(도 8f 참조). 상기 유전체로는 HfO₂, Ta, TiO₂ 또는 BST 물질이 사용된다.

【발명의 효과】

- <89> 본 발명의 스택형 커패시터는 하부전극에 산소량이 줄어들어서 TiN의 산화를 억제하므로, 안정된 스택형 커패시터의 구현이 가능하며, 따라서 고집적 DRAM의 개발에 기여할 수 있다.
- <90> 본 발명은 도면을 참조하여 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 한해서 정해져야 할 것이다.

【특허청구범위】**【청구항 1】**

하부전극;

상기 하부전극 상에 형성된 유전막; 및

상기 유전막 상에 형성된 상부전극;을 구비하며,

상기 하부전극은, 실린더형 제1 금속; 및

상기 제1 금속의 내부를 채운 제2 금속;을 포함하는 것을 특징으로 하는 스택형 커패시터.

【청구항 2】

제 1 항에 있어서,

상기 제1 금속은 루테튬(Ru)이며,

상기 제2 금속은 알루미늄(Al)을 포함한 질화막인 것을 특징으로 하는 스택형 커패시터.

【청구항 3】

제 2 항에 있어서,

상기 알루미늄을 포함한 질화막은, 티타늄알루미늄나이트라이드(TiAlN) 또는 탄탈륨알루미늄나이트라이드(TaAlN)인 것을 특징으로 하는 스택형 커패시터.

【청구항 4】

제 2 항에 있어서,

상기 상부전극은, 루테튬인 것을 특징으로 하는 스택형 커패시터.

【청구항 5】

트랜지스터 및 커패시터를 포함하는 반도체 메모리 소자에 있어서,
상기 커패시터는, 하부전극과, 상기 하부전극 상에 형성된 유전막 및 상기 유전막 상에 형성된 상부전극을 구비하며,
상기 하부전극은, 실린더형 제1 금속; 및
상기 제1 금속의 내부를 채운 제2 금속;을 포함하는 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자.

【청구항 6】

제 5 항에 있어서,
상기 트랜지스터 및 상기 커패시터는 도전성 플러그로 전기적 연결된 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자.

【청구항 7】

제 6 항에 있어서,
상기 하부전극 및 상기 도전성 플러그 사이에 확산방지층이 형성된 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자.

【청구항 8】

제 7 항에 있어서,
상기 확산방지층은 티타늄ไน트라이드(TiN)인 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자.

【청구항 9】

제 5 항에 있어서,
상기 제1 금속은 루테튬(Ru)이며,
상기 제2 금속은 알루미늄(Al)을 포함한 질화막인 것을 특징으로 하는 스택형 커패시터.

【청구항 10】

제 9 항에 있어서,
상기 알루미늄을 포함한 질화막은, 티타늄알루미늄나이트라이드(TiAlN) 또는 탄탈륨알루미늄나이트라이드(TaAlN)인 것을 특징으로 하는 스택형 커패시터.

【청구항 11】

제 9 항에 있어서,
상기 상부전극은, 루테튬인 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자.

【청구항 12】

기판 상에 식각 정지층 및 층간절연막을 차례로 적층하고, 상기 층간절연막 및 식각정지층을 패터닝하여 비아홀을 형성하는 제1 단계;

상기 비아홀 및 상기 층간절연막 상에 제1 금속막 및 제2 금속막을 순차적으로 형성하는 제2 단계;

상기 층간절연막을 노출시키는 제3 단계;

상기 층간절연막을 제거하여 제1 금속막 및 제2 금속막으로 이루어진 하부전극을 형성하는 제4 단계; 및

상기 하부전극 상에 유전체층 및 상부전극을 순차적으로 증착하는 제5 단계;를 포함하며,

상기 제1 금속막은 원자층 증착법으로 형성되는 것을 특징으로 하는 스택형 커패시터의 제조방법.

【청구항 13】

제 12 항에 있어서,

상기 제1 금속은 루테튬(Ru)이며, 상기 제2 금속은 티타늄알루미늄나이트라이드(TiAlN) 또는 탄탈륨알루미늄나이트라이드(TaAlN)인 것을 특징으로 하는 스택형 커패시터의 제조방법.

【청구항 14】

제 13 항에 있어서,

상기 상부전극은 루테튬인 것을 특징으로 하는 스택형 커패시터의 제조방법.

【청구항 15】

제 12 항에 있어서,

제 2 단계는, 루테튬 전구체를 상기 제1 단계의 결과물에 흡착시키는 단계;

잉여의 루테튬 전구체를 퍼지시키는 단계;

상기 흡착된 루테튬 전구체 층에 산소 개스를 흡착시켜 상기 루테튬 전구체를 분해시켜서 루테튬 산화물을 형성시키는 단계;

잉여의 산소 개스를 퍼지시키는 단계; 및

수소 개스를 유입시켜 상기 루테튬 산화물을 환원시키는 단계;를 구비하는 것을 특징으로 하는 스택형 커패시터의 제조방법.

【청구항 16】

제 15 항에 있어서,

상기 루테튬 전구체 흡착단계 이전에, 상기 제1 단계의 결과물에 할로젠 계열 물질을 흡착시키는 단계를 포함하는 것을 특징으로 하는 스택형 커패시터의 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 할로젠 계열 물질은 요오드인 것을 특징으로 하는 스택형 커패시터의 제조방법.

【청구항 18】

기판 상에 트랜지스터를 형성하는 제1 단계;

상기 기판 상에 제1 층간절연막을 형성하는 제2 단계;

상기 제1 층간절연막에 상기 트랜지스터의 소정 영역이 노출되는 콘택홀을 형성하는 제3 단계;

상기 콘택홀에 도전성 플러그를 형성하는 제4 단계;

상기 제1 층간 절연막 상에 절연막을 형성하고 상기 도전성 플러그가 노출되게 패터닝한 후, 상기 노출된 영역에 확산방지층을 형성하는 제5 단계;

상기 제1 층간절연막 상에 식각 정지층 및 제2 층간절연막을 차례로 적층하고, 상기 확산정지층이 노출되게 상기 제2 층간절연막 및 식각정지층을 패터닝하는 제6 단계;

상기 확산정지층이 노출된 결과물 상에 제1 금속막 및 제2 금속막을 순차적으로 형성하는 제7 단계;

상기 제2 층간절연막을 노출시키는 제8 단계;

상기 제2 층간절연막을 제거하여 상기 제1 금속막 및 제2 금속막으로 이루어진 하부전극을 형성하는 제8 단계; 및

상기 하부전극 상에 유전체층 및 상부전극을 순차적으로 증착하는 제10 단계;를 포함하며,

상기 제1 금속막은 원자층 증착법으로 형성되는 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자의 제조방법.

【청구항 19】

제 18 항에 있어서,

상기 제1 금속은 루테튬(Ru)이며, 상기 제2 금속은 티타늄알루미늄나이트라이드(TiAlN)인 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자의 제조방법.

【청구항 20】

제 19 항에 있어서,

상기 상부전극은 루테튬인 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자의 제조방법.

【청구항 21】

제 18 항에 있어서,

상기 확산정지층은 TiN 층인 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자의 제조방법.

【청구항 22】

제 21 항에 있어서,

제 7 단계는, 루테튬 전구체를 상기 제1 단계의 결과물에 흡착시키는 단계;

잉여의 루테튬 전구체를 퍼지시키는 단계;

상기 흡착된 루테튬 전구체 층에 산소 개스를 흡착시켜 상기 루테튬 전구체를 분해시켜서 루테튬 산화물을 형성시키는 단계;

잉여의 산소 개스를 퍼지시키는 단계; 및

수소 개스를 유입시켜 상기 루테튬 산화물을 환원시키는 단계;를 구비하는 것을 특징으로 하는 스택형 커패시터를 구비한 반도체 메모리 소자의 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 루테튬 증착단계 이전에, 상기 제6 단계의 결과물에 할로젠 계열 물질을 흡착시키는 단계를 포함하는 것을 특징으로 하는 스택형 커패시터의 제조방법.

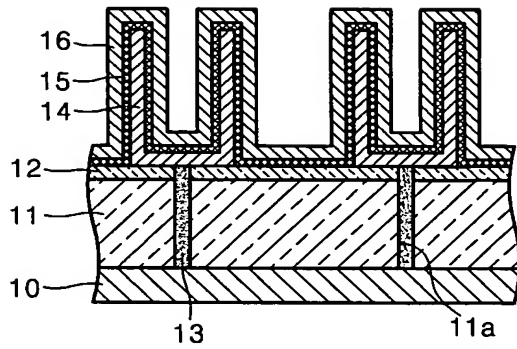
【청구항 24】

제 23 항에 있어서,

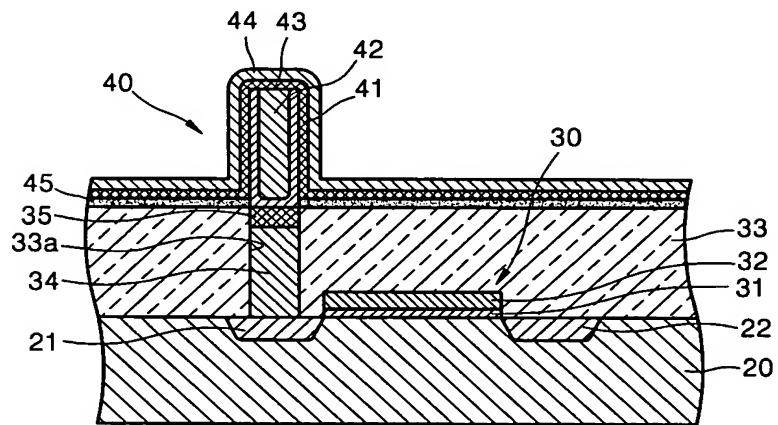
상기 할로겐 계열 물질은 요오드인 것을 특징으로 하는 스택형 커패시터의 제조방법.

【도면】

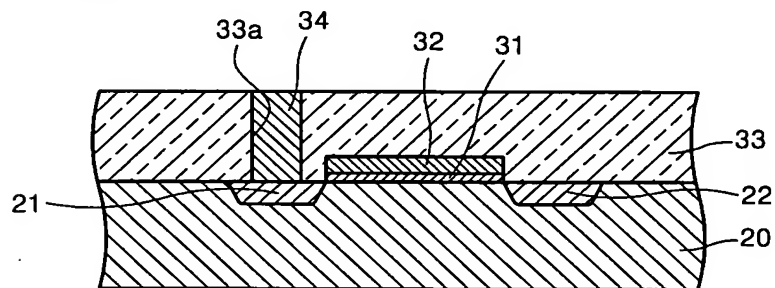
【도 1】



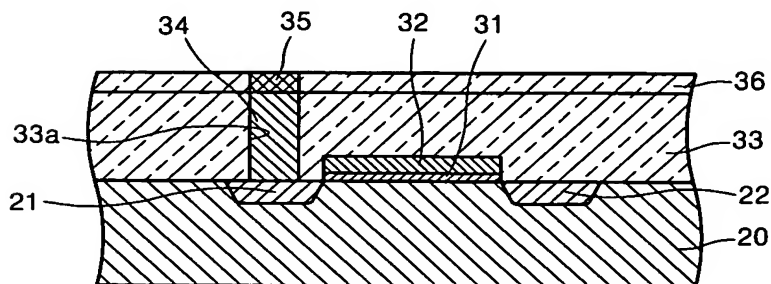
【도 2】



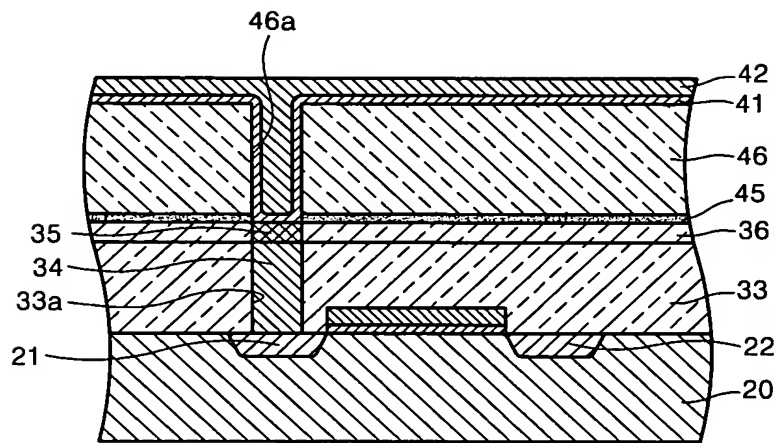
【도 3a】



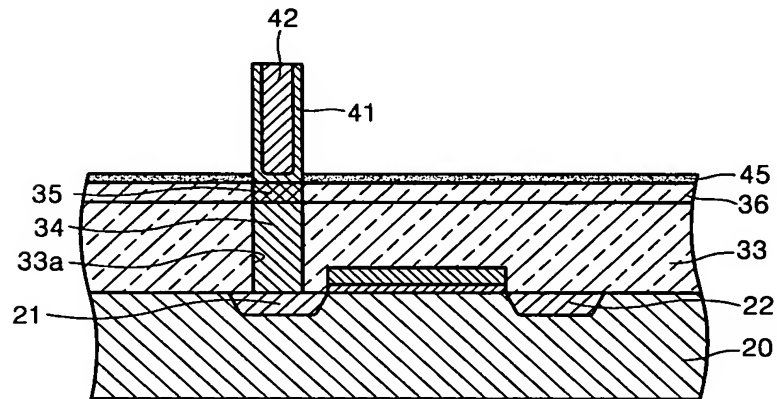
【도 3b】



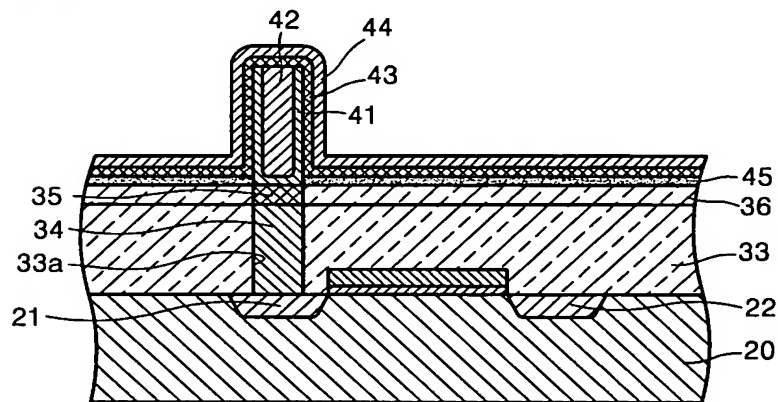
【도 3c】



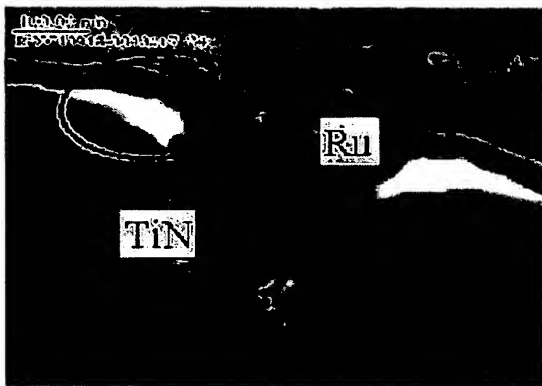
【도 3d】



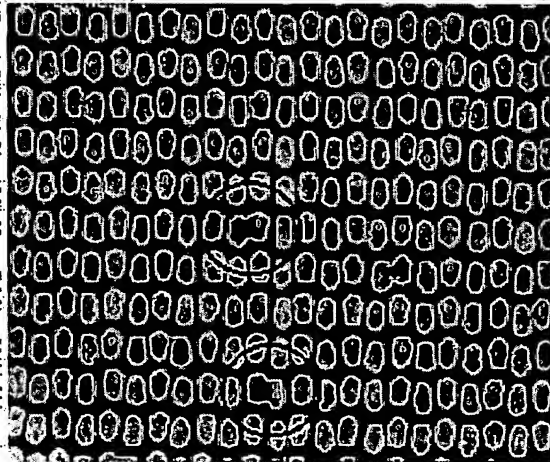
【도 3e】



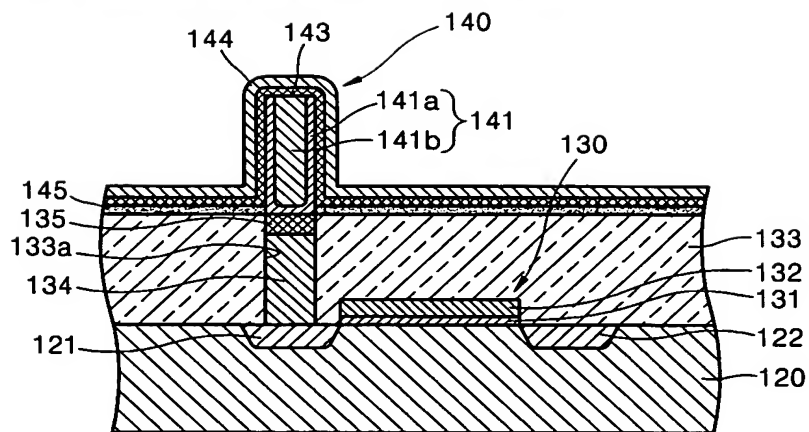
【도 4】



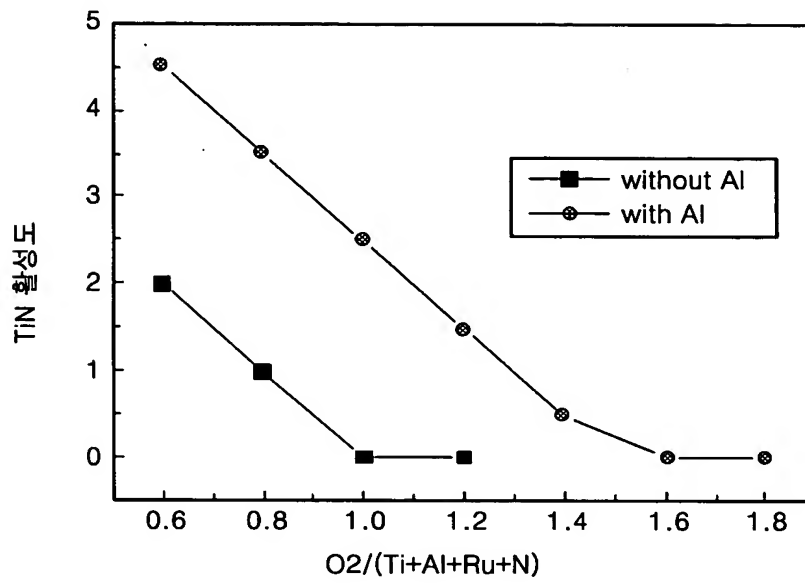
【도 5】



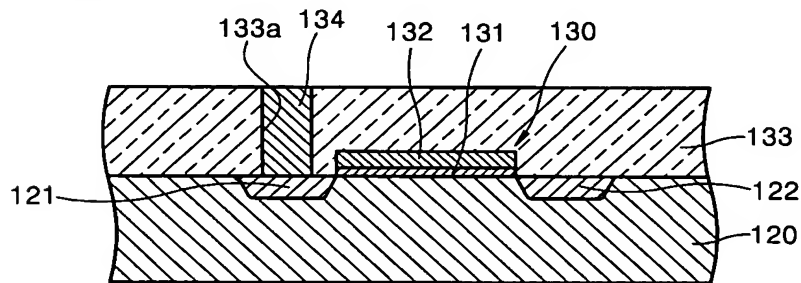
【도 6】



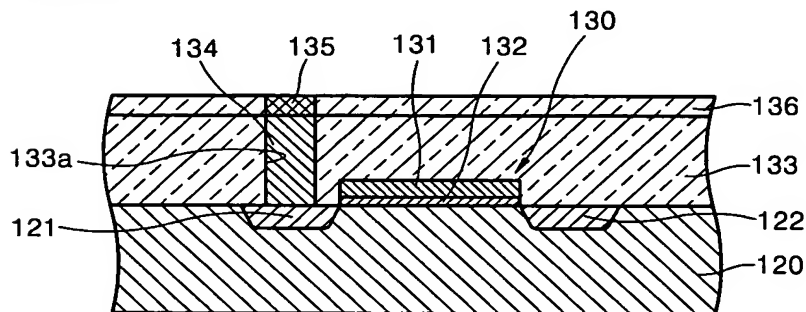
【도 7】



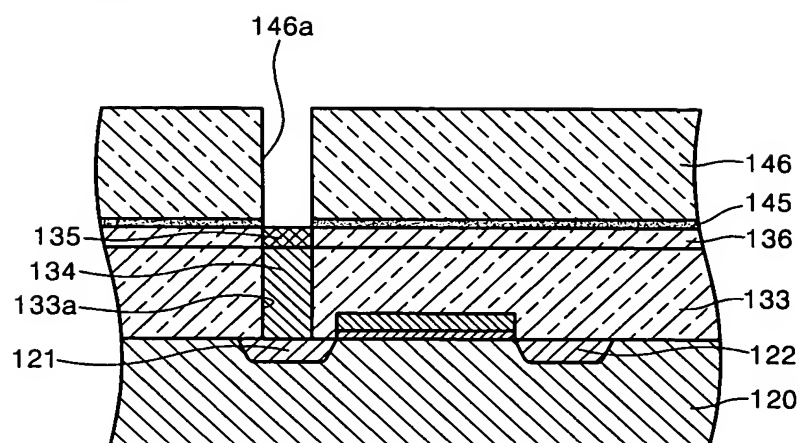
【도 8a】



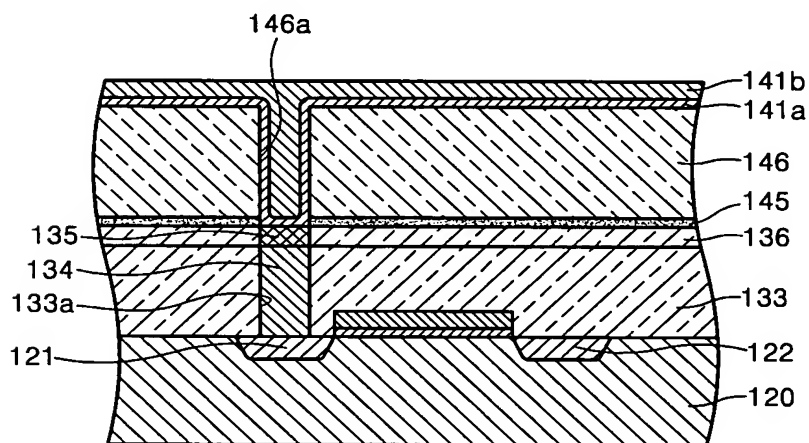
【도 8b】



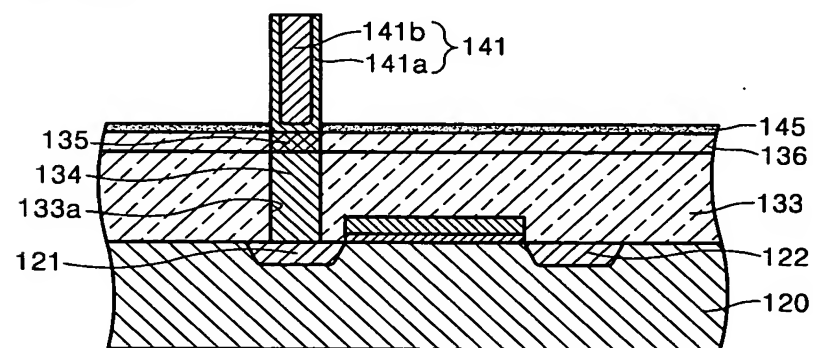
【도 8c】



【도 8d】



【도 8e】



【도 8f】

